

⑫ 公開特許公報 (A)

昭58—101544

⑮ Int. Cl.³

H 04 L 13/00

G 06 F 3/04

H 04 L 1/16

識別記号

庁内整理番号

6372—5K

7218—5B

6651—5K

⑯ 公開 昭和58年(1983)6月16日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 入出力装置の伝送テスト回路

東京都府中市東芝町1 東京芝浦
電気株式会社府中工場内

⑰ 特 願 昭56—200036

⑱ 出 願 人 東京芝浦電気株式会社

⑲ 出 願 昭56(1981)12月14日

川崎市幸区堀川町72番地

⑳ 発 明 者 西島正

㉑ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 入出力装置の伝送テスト回路

2. 特許請求の範囲

送信側と計算機等で構成されたデータ処理装置を設け、受信側に実際にプラントを動作させる入出力装置を配設し、互に伝送装置を介して伝送ケーブルに接続し送信側では出力信号を一旦並列信号から直列信号に変換し、受信側ではこの直列信号を再び並列信号に変換して信号の送受を行なうシリアル伝送装置において、前記入出力装置にメモリを設け、このメモリに入力されたアドレスを変換し受信データを送信データとして送り返す送受信設定回路を設け、伝送ライン及び受信と送信回路の動作チェックを行なうことを特徴とする入出力装置の伝送テスト回路。

3. 発明の詳細な説明

(a) 技術分野の説明

本発明はデータ処理装置と、その処理装置から制御される入出力装置とを接続するデータ伝送装置とからなるデータ伝送システムの、動作チェッ

クを行なう伝送テスト回路に関する。

(b) 従来技術の説明

製鉄、あるいは製紙、その他あらゆる産業プラントに使用されている制御装置は、今日計算機を応用してますます性能高度化している。また、一方、制御対象であるプラントは大規模化しているため、第1図に示すように計算機等で構成されるデータ処理装置1と、実際にプラントを動作させる入出力装置5は、離れた位置に設けられることが多い。

かかるプラントでは、データ伝送装置2と4によつて、処理装置1と入出力装置5とを伝送ケーブル3にて接続し、送信側では、出力信号を一旦並列信号から直列信号へと変換を行なつて、伝送ケーブルには直列信号を伝送する。また、受信側では、直列信号を再び並列信号に変換するシリアルデータ伝送装置がひろく使用されている。

ところで、入出力装置が要扱う入出力信号の点数が少ない場合には、集積回路（以後ICと称する）の出力によつて直接に機器を駆動したり、接

input and output device and transmitting data as they are, receiving the data at the processor again and processing of coincidence of comparison.

CONSTITUTION: When a transmission test circuit selecting switch 32 of an input and output device selects a position 34, an address of an IC memory 26 consists of a reception area from a data processor and a transmission area 37 to the data processor. When the switch 32 selects a position 33, the address most significant digit of the IC memory 26 is fixed to logical 1, then the reception area from the data processor is the same area as the transmission area 37. Thus, the data received from the data processor is a transmission signal to the data processor as it is, and the comparison between transmission and reception data at the data processor allows the overall transmission test for the transmission system consisting of the data processor, a transmission line and the input and output device.

COPYRIGHT: (C)1983,JPO&Japio

点などの信号をフィルタを介してICに入力する回路構成がとられる。しかし、入出力信号の点数が増大した場合には、データ伝送回路を共通化すると同時に制御回路によつてデータ処理装置との伝送動作のタイミングと、入出力動作のタイミングを独立させ、データは双方からアクセスできるICメモリで構成することができる。

例えば、第2図に示す伝送回路6と入出力回路7は、共通のICメモリ8を持ち、メモリ8の信号はアドレス信号10、データ信号11の他に制御回路9からの制御信号12によつて動作している。シリアル伝送は、送信側でデータに続けてパリティビット、またはチェックコードを付ける。そして他方、受信側では、パリティビットまたはチェックコードの正当性によつて、データが誤っていないかのチェックを行なうのが一般的である。しかし、送信回路、伝送ライン、受信回路を含めたトータルな伝送回路は、距離的にも離れた場合には、従来動作確認が非常に困難であつた。

(c) 発明の目的

入出力装置を1:Nとマルチドロップに接続する場合があるが、本発明の一実施例として、第3図に示すマルチドロップ方式について述べる。データ処理装置13の伝送装置14は、伝送ライン15によつて、入出力装置17、19の伝送装置16及び18に接続されている。データ処理装置13は、入出力装置17及び19へ出力する場合には、第4図(a)、(b)に示すように、入出力装置のアドレスデータA、コマンドデータC、続いて送信データDを出力する。また、データ処理装置13は、入出力装置17及び入出力装置19から入力する場合には、第4図(b)に示すように、入出力装置のアドレスデータAと、コマンドデータCを出力する。

データ処理装置13によつて選択された入出力装置は、コマンドデータに従つて、第4図(a)の場合には、データ処理装置からのデータをICメモリに格納する。また、同図(b)の場合には、コマンドに従つて、ICメモリに格納されているデータをデータ処理装置へ送信する。又、入出力装置の伝送テスト回路は、第5図に示すように構成される。

本発明は上記事由に基づいてなされ、伝送システムの総合的な動作をテストすることのできる、前記欠点のない伝送テスト回路を提供することを目的とする。

(d) 発明の概要

すなわち、データ処理装置、伝送装置、そして入出力装置の伝送が正常に動作するためには、

(イ) データ処理装置の送信回路、伝送ライン、入出力装置の受信回路が正常に動作すること。

(ロ) 入出力装置の送信回路、伝送ライン、データ処理装置の受信回路が正常に動作すること。

がともに必要である。このため本発明では、データ処理装置から送信した信号を入出力装置が受信し、データをそのまま送信することにより、再びデータ処理装置で受信し、比較一致の処理を行なう。これにより、伝送システムの動作をチェックする伝送テスト回路を構成するものである。

(e) 発明の構成

シリアル伝送は、データ処理装置に対して入出力装置を1:1に接続する場合、あるいは複数台の

(f) 発明の作用

入出力装置の受信回路は、第5図に示すように、直列信号の受信信号20を、変換器21によつて並列信号22に変換する。アドレスデータは、アドレスレジスタ23に、コマンドデータはコマンドレジスタ24に、受信データはデータレジスタ25にセットされる。ICメモリ26はアドレス信号27、データ信号28、および制御信号29によつて動作する。また、入出力装置の送信回路は、ICメモリ26のデータを変換器30によつて直列信号31へ変換し、伝送ラインへ送信する。

32は入出力装置の伝送テスト回路選択用のスイッチで、スイッチ32がポジション34を選択した場合には、ICメモリ27のアドレスは、第6図に示すデータ処理装置からの受信エリア36と、データ処理装置への送信エリア37から構成されている。スイッチ32がポジション33を選択した場合には、ICメモリ28のアドレス最上位をロジック"1"に固定するため、データ処理装置からの受信エリアは、送信エリア37と同一領域となる。このため、デー

データ処理装置から受信したデータは、そのまゝデータ処理装置への送信信号となり、データ処理装置で送信データと、受信データを比較することにより、データ処理装置、伝送ライン、入出力装置から構成される伝送システムの、総合的な伝送テストを行なうことが出来る。同様にスイッチ32がポジション35を選択した場合には、ICメモリ26のアドレス最上位はロジック"0"に固定されるため、データ処理装置からの受信エリア36と、送信エリアは同一領域となる。

(d) 他の実施例

次に本発明の他の実施例について説明する。すなわち、又、本発明においては、第5図に示した入出力装置の伝送テスト回路に使用したスイッチ32は、スイッチの代わりに、データ処理装置からのコマンドによつて切換えることが出来る。第7図に示すアドレスレジスタ23の出力は、コマンドレジスタ24の出力信号によつて制御される。コマンドレジスタ24の出力38、39がともにロジック"0"なら、ICメモリのアドレス最上位40は、アドレス

レジスタ23の出力34と等しくなる。

又、コマンドレジスタ38が"1"で、出力39が"0"ならば、アドレス信号40は"1"に固定される。コマンドレジスタ38が"0"で39が"1"ならばアドレス信号40は"0"に固定される。第7図のロジック回路によつて第5図のスイッチ32と同一の動作をデータ処理装置のコマンドにて実行することができる。

(h) 総合的な効果

このようにして本発明によれば、データ処理装置の送信回路、伝送ライン、入出力装置の受信回路及び入出力装置の送信回路、伝送ライン、データ処理装置の受信回路から構成される伝送システムの総合的な動作チェックを、データ処理装置での比較テストにて実行できるため、システムの信頼性を向上させた効果的な伝送テスト回路が提供できる。

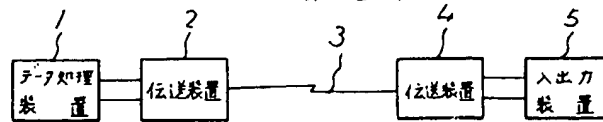
4. 図面の簡単な説明

第1図はデータ伝送システムの説明図、第2図は伝送装置と入出力装置の動作説明図、第3図は

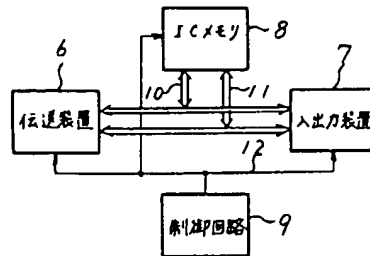
本発明の対象とするマルチドロップ方式のデータ伝送システム図、第4図は伝送信号フォーマットを示す図、第5図は本発明の一実施例を示す伝送テスト回路図、第6図はICメモリアドレスエリア図、第7図は本発明の他の実施例を示すブロック図である。

- 1, 13...データ処理装置、
- 2, 4, 6, 14, 16, 18...伝送装置、
- 3, 15...伝送ライン、 5, 17, 19...入出力装置、
- 8, 25...ICメモリ、 9...制御回路、
- 20, 31...直列信号、 21, 30...変換器、
- 22...並列信号、 23...アドレスレジスタ、
- 24...コマンドレジスタ、25...データレジスタ、
- 32...スイッチ、 36...入出力装置受信エリア、
- 37...入出力装置送信エリア、38, 39...テスト選択信号、
- 40...ICメモリアドレス最上信号。

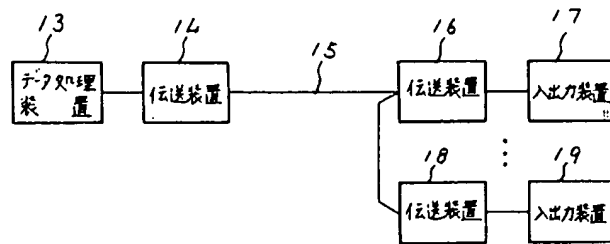
第 1 図



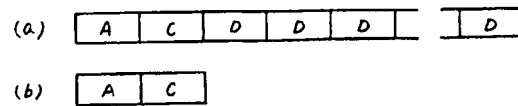
第 2 図



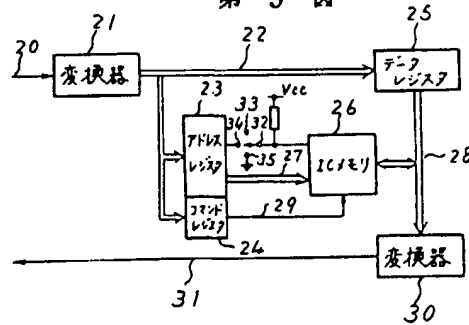
第 3 図



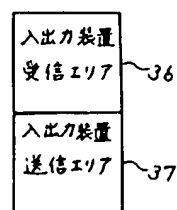
第 4 図



第 5 図



第 6 図



第 7 図

